

**GRADATION VOLTAGE GENERATING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE**

Patent Number: JP9068695  
Publication date: 1997-03-11  
Inventor(s): IWASAKI SHINICHI;; KURIHARA HIROSHI;; MISHIMA YASUYUKI..  
Applicant(s): HITACHI LTD;; HITACHI DEVICE ENG CO LTD  
Requested Patent: ☐ JP9068695  
Application Number: JP19950225107 19950901  
Priority Number(s):  
IPC Classification: G02F1/133; G09G3/36; G09G5/00  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To eliminate the increase in the output impedance which causes degradation in picture quality such as color deviation and uneven brightness and to reduce the power consumption of a drain driving circuit by providing a buffer circuit which supplies a prescribed voltage to a series resistor dividing circuit.

**SOLUTION:** The output of a voltage follower circuit 102 using an operational amplifier is connected, for example, between dividing resistors 108 and 109 equivalent to the center of the dividing resistors 105 to 112 which voltage divide gradation reference voltages  $V_n$  and  $V_{n-1}$  (where  $n=1$  to 8). On the other hand, the reference potential of the circuit 102 is set to the potential which is the voltage divided by resistors 103 and 104 that have a same value and are provided between the voltages  $V_n$  and  $V_{n-1}$ . Thus, the output impedance of an gradation voltage  $V_{n0}$ , in which the output impedance becomes a maximum in a conventional series resistor dividing circuit 101, is reduced to approximately zero because a current is supplied from the circuit 102.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-68695

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 7 5		G 0 2 F 1/133	C I
G 0 9 G 3/36			G 0 9 G 3/36	
5/00	5 2 0	9377-5H	5/00	5 2 0 A

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号 特願平7-225107

(22)出願日 平成7年(1995)9月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 岩▲崎▼ 伸一

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 栗原 博司

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

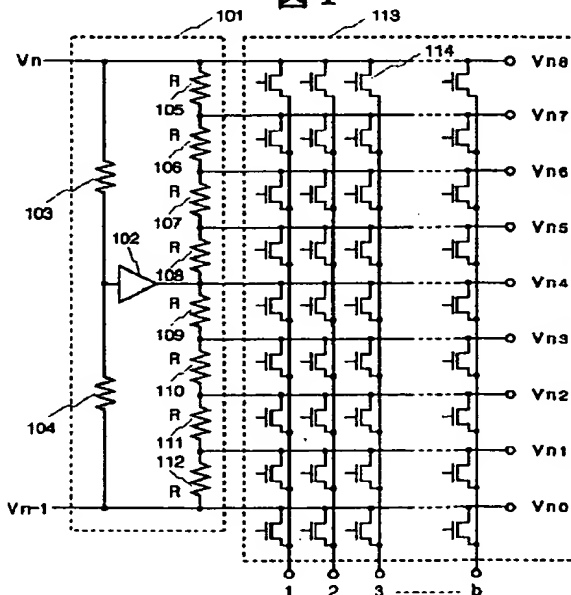
(54)【発明の名称】 階調電圧生成回路および液晶表示装置

(57)【要約】

【目的】 色ずれや輝度むら等の画質不良の原因となる出力インピーダンスを増加させることなく、個々の分割抵抗の抵抗値を増加させ、直列抵抗分割回路の総抵抗値を大きくすることによって、ドレイン駆動回路の消費電力を小さくすること。

【構成】 複数の階調基準電圧の各階調基準電圧間を直列抵抗分割回路により分圧して液晶層に印加する多階調の階調電圧を生成し、複数のドレイン信号線毎に前記多階調の階調電圧の中の1つを複数のスイッチング素子で選択することにより、複数のドレイン信号線のそれぞれに所定の階調電圧を出力する階調電圧生成回路において、前記直列抵抗分割回路に所定の電圧を供給する緩衝回路を設ける。

図 1



## 【特許請求の範囲】

【請求項1】 複数の階調基準電圧の各階調基準電圧間を直列抵抗分割回路により分圧して液晶層に印加する多階調の階調電圧を生成し、複数のドレイン信号線毎に前記多階調の階調電圧の中の1つを複数のスイッチング素子で選択することにより、複数のドレイン信号線のそれぞれに所定の階調電圧を出力する階調電圧生成回路において、

前記直列抵抗分割回路に所定の電圧を供給する緩衝回路を設けることを特徴とする階調電圧生成回路。

【請求項2】 前記緩衝回路は、ボルテージホロウ回路からなることを特徴とする請求項1に記載の階調電圧生成回路。

【請求項3】 請求項1もしくは請求項2に記載の階調電圧生成回路をドレイン駆動回路が具備することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に関し、特に、ラダー抵抗を使用する抵抗分割方式のドレイン駆動回路に適用して有効な技術に関するものである。

【0002】

【従来の技術】多色表示、例えば、64階調の多色表示が可能なTFT液晶表示装置の一例が下記文献1に記載されている。

【0003】1「Low-Power 6-bit Column Driver for AMLCDs」(1994年6月発行 SID 94 DIJEST P. 351-354)。

【0004】図5は、前記文献1に記載されるTFT液晶表示装置の概略構成を示すブロック図であり、液晶表示パネル(TFT-LCD)は、800×600画素(800×600×3副画素)から構成される。

【0005】また、液晶表示パネル(TFT-LCD)の一方にドレイン駆動回路602が配置され、このドレイン駆動回路602を薄膜トランジスタ(TFT)のドレイン信号線に接続し、薄膜トランジスタ(TFT)に液晶を駆動するための電圧を供給する。

【0006】また、薄膜トランジスタ(TFT)のゲート信号線には、液晶表示パネル(TFT-LCD)の側面に配置されたゲート駆動回路603を接続し、1水平動作時間薄膜トランジスタ(TFT)のゲートに電圧を供給する。

【0007】表示制御装置601は、図示しないコンピュータ本体からの表示データと表示制御信号とを受け取り、この信号を基にドレイン駆動回路602、ゲート駆動回路603を駆動する。

【0008】ここで、図示しないコンピュータ本体からの表示データは、各色毎6ビットの合計18ビットで構成されている。

【0009】ドレイン駆動回路602は1個の階調電圧生成回路を有し、前記階調電圧生成回路は、内部電源回路604から入力される9値の階調基準電圧( $V_0 - V_8$ )を基に、64階調分の階調電圧を生成する。

【0010】また、ドレイン駆動回路602は、表示データラッチ用クロック信号に同期して各色毎6ビットの表示用データを出力本数分だけ取り込み、また、出力タイミング制御用クロック信号に応じて、前記階調電圧生成回路で生成された64階調分の階調電圧の中から、表示用データに対応する階調電圧を選択して、各ドレイン信号線に出力する。

【0011】さらには、画素となる液晶層の劣化を防止するために、図示しない交流化信号(M)の交流化周期でドレイン駆動回路の出力電圧(画素電極に印加される電圧)と、図示しないコモン電極とに印加する電圧の極性を反転させている。

【0012】図6は、前記図5に示す液晶表示装置におけるドレイン駆動回路602の階調電圧生成回路の概略構成を示す回路図である。

【0013】図6に示すように、前記図5に示す液晶表示装置におけるドレイン駆動回路602の階調電圧生成回路606は、まず、内部電源回路604から入力された9値の階調基準電圧( $V_0 - V_8$ )の各階調基準電圧間を、直列抵抗分割回路605により8分割することにより、 $8 \times 8 = 64$ (階調)の階調電圧を生成する。

【0014】次に、表示データに対応する階調電圧を $64 \times b$ 個のMOSトランジスタからなる選択回路113により選択し、ドレイン信号線1～bに出力する。

【0015】図7は、前記図6に示す階調基準電圧 $V_n$ と階調基準電圧 $v_{n-1}$ ( $n=1 \sim 8$ )とのからなる1階調基準電圧分の階調電圧生成回路606である直列抵抗分割回路および直列抵抗分割回路の概略構成を示す回路図である。

【0016】図7に示すように、従来の直列抵抗分割回路605は、内部電源回路604から入力された階調基準電圧 $V_n$ 、 $V_{n-1}$ ( $n=1 \sim 8$ )間を、8分割するための分割抵抗1105～1112からなり、その抵抗値はRである。

【0017】一方、オペレーティングシステムのグラフィカルユーザインターフェース化、および、CPU(中央演算装置)の高速化に伴い、液晶表示装置にも、より多くの色あるいは白黒階調を表示できることが求められており、たとえば、フルカラー表示(1677万色)を行うために、各色256階調分の階調電圧を生成する必要がある。

【0018】

【発明が解決しようとする課題】本発明者は、前記従来技術を検討した結果、以下の問題点を見いだした。

【0019】従来の液晶表示装置において、ドレイン駆動回路の消費電力を低減するためには、分割抵抗の抵抗

値を大きくし、直列抵抗分割回路に流れる電流を低減させれば良い。

【0020】しかしながら、交流化信号(M)の周期でドレイン駆動回路602の出力を反転させているために、液晶層を充放電するための電流値をI、ドレイン駆動回路602の出力インピーダンスをRと表記すると、充放電電流が流れているときには直列抵抗分割回路605の選択されている出力電圧レベルが $V=IR$ で決まる電圧幅で変動してしまう。

【0021】このために、表示画面上での色ずれや輝度むら等の画質不良が起こるので、抵抗分割方式のドレイン駆動回路602では、分割抵抗105~112の抵抗値を大きくし、直列抵抗分割回路605に流れる電流を低減し、ドレイン駆動回路の消費電力を小さくすることができないという問題があった。

【0022】本発明の目的は、色ずれや輝度むら等の画質不良の原因となる出力インピーダンスを増加させることなく、個々の分割抵抗の抵抗値を増加させ、直列抵抗分割回路の総抵抗値を大きくすることによって、ドレイン駆動回路の消費電力を小さくすることができる技術を提供することである。

【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0024】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0025】(1)複数の階調基準電圧の各階調基準電圧間を直列抵抗分割回路により分圧して液晶層に印加する多階調の階調電圧を生成し、複数のドレイン信号線毎に前記多階調の階調電圧の中の1つを複数のスイッチング素子で選択することにより、複数のドレイン信号線のそれぞれに所定の階調電圧を出力する階調電圧生成回路において、前記直列抵抗分割回路に所定の電圧を供給する緩衝回路を設けることを特徴とする。

【0026】(2)前記緩衝回路は、ボルテージホロウ回路からなることを特徴とする。

【0027】(3)前述する(1)もしくは(2)に記載の階調電圧生成回路をドレイン駆動回路が具備することを特徴とする。

【0028】

【作用】前述した(1)、(2)あるいは(3)の手段によれば、例えば、64階調表示(26万色表示)を9値の階調基準電圧で実現する場合、直列抵抗分割回路は8分割にする必要がある。

【0029】このときのドレイン駆動回路の出力インピーダンスの最高値、すなわち、直列抵抗分割回路を構成する分割抵抗が階調基準電圧から一番遠いところにある出力が選択された場合の前記分割抵抗の抵抗値は、分割

抵抗の1個あたりの抵抗値をRで表すと $4R(R \times 4$  (個分の分割抵抗))となる。

【0030】このとき、前記分割抵抗が4個ずつになるように分割抵抗の中間に緩衝回路を1個設けることにより、階調基準電圧から遠いところに位置する出力には緩衝回路から電流が供給される。

【0031】このため、出力インピーダンスの最高値は、階調電圧あるいは緩衝回路から一番遠いところに位置する出力の出力インピーダンスとなり、その値は $2R$ となる。

【0032】この出力インピーダンスは、前記直列抵抗分割回路の分割数が8分割である従来のドレイン駆動回路の出力インピーダンスの最高値である $4R$ の $1/2$ の抵抗値である。

【0033】すなわち、出力インピーダンスの最高値が従来の64階調の階調電圧生成回路と同じ値に設定した場合、各分割抵抗の抵抗値を従来の抵抗値の2倍に設定できるので、直列抵抗分割回路の総抵抗値は従来の2倍となり、階調電圧生成回路の分割抵抗部分で消費される消費電力を $1/2$ に低減できる。

【0034】このように、直列抵抗分割回路の分割抵抗の所定数毎に、緩衝回路を挿入することにより、この緩衝回路から電流を供給することができるので、階調基準電圧を新たに追加することなく、階調電圧生成回路の出力インピーダンスを低下させることができる。

【0035】したがって、個々の分割抵抗の抵抗値を増加させ、直列抵抗分割回路の総抵抗値を大きくすることにより、階調電圧生成回路の消費電力を小さくすることができる。

【0036】このため、液晶表示装置に前記階調電圧生成回路を用いることにより、消費電力の小さい液晶表示装置を提供できる。

【0037】

【実施例】以下、本発明をTFT液晶表示装置に適用した実施例について、図面を参照して詳細に説明する。

【0038】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0039】以下、本発明が適用されるTFT液晶表示装置の構成は、前記図6に示す従来のTFT液晶表示装置と同じであるので説明は省略する。

【0040】(実施例1)図1は、本発明の実施例1のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略回路構成を示す回路図であり、101は直列抵抗分割回路、102はオペアンプによる周知のボルテージホロウ回路(緩衝回路)、103~112は抵抗、113は選択回路、114はMOSトランジスタ(スイッチング素子)である。

【0041】図1において、直列抵抗分割回路101は

5

前記図7に示す階調電圧生成回路606と同じように、内部電源回路604から入力された9値の階調基準電圧( $V_0 \sim V_8$ )の各階調基準電圧間を、抵抗値の等しい抵抗105~112によって8等分して64階調分の階調電圧(8階調基準電圧 $\times$ 8等分=64階調)を生成する。

【0042】このとき、直列に接続される抵抗103と抵抗104とは抵抗値が等しく、抵抗103は階調基準電圧 $V_{n-1}$ 、抵抗104は階調基準電圧 $V_n$  ( $n=1 \sim 8$ )に接続される。

【0043】一方、オペアンプによるボルテージホロワ回路102の基準電圧は、抵抗103と抵抗104とによって分圧される電圧、すなわち、階調基準電圧 $V_{n-1}$ と階調基準電圧 $V_n$  ( $n=1 \sim 8$ )との中間の電圧( $V_{n4}$ )となり、ボルテージホロワ回路102の出力は抵抗108と抵抗109との接続点、すなわち、抵抗105~112によって分圧される電圧の中間電圧となる位置に接続される。

【0044】オペアンプによるボルテージホロワ回路102は、周知の電圧利得が1の非反転増幅器であり、インピーダンス変換器やバッファとして広く用いられている。

【0045】選択回路113は、階調電圧( $V_{n0} \sim V_{n8}$ 、ただし、 $n=1 \sim 8$ )とドレイン駆動回路の出力端子1~b(ただし、bは1以上の自然数とする。)とをマトリクス状に設けたMOSトランジスタ114を制御することにより、図示しないデータラッチにラッチされている表示データに対応する階調電圧を任意のドレイン駆動回路の出力端子に出力する。

【0046】次に、図1に基づき、実施例1のドレイン駆動回路の1階調基準電圧分の直列抵抗分割回路の動作を説明すると、本実施例の直列抵抗分割回路101の出力インピーダンス、すなわち、ドレイン駆動回路の出力インピーダンスが一番高くなるのは、階調基準電圧間を分割する抵抗の中間点である階調電圧 $V_{n2}$ および $V_{n6}$  ( $n=1 \sim 8$ )が選択されたときであり、このときの出力インピーダンスは分割抵抗105~112が2個分の抵抗値で、 $2R$ となる。

【0047】この出力インピーダンスは、図5に示す従来のドレイン駆動回路の出力インピーダンス $4R$ の半分の抵抗値となるので、たとえば、本実施例1の抵抗105~112の各抵抗値を2倍の $2R$ にした場合でも、本実施例のドレイン駆動回路の出力インピーダンスは $2 \times 2R = 4R$ で従来のドレイン駆動回路と同じ値に設定となる。

【0048】一方、このときの直列抵抗分割回路101の全抵抗は、各抵抗値が従来の2倍の抵抗値に設定されているので、従来の直列抵抗分割回路の2倍となる。

【0049】したがって、直列抵抗分割回路101で消費される電力を $1/2$ に低減することができるので、ド

6

レイン駆動回路の階調電圧生成回路で消費される電力を $1/2$ に低減することができる。

【0050】以上説明したように、本実施例1によれば、階調基準電圧 $V_n$ と階調基準電圧 $V_{n-1}$  ( $n=1 \sim 8$ )とを分圧する分割抵抗105~112の、たとえば、中間に相当する分割抵抗108と分割抵抗109との間にオペアンプによるボルテージホロワ回路102の出力を接続し、一方、前記ボルテージホロワ回路102の基準電位を階調基準電圧 $V_n$ と階調基準電圧 $V_{n-1}$ との間に設けた同じ抵抗値の抵抗103と抵抗104とによって分圧される電位に設定することにより、従来の直列抵抗分割回路101では出力インピーダンスが一番大きくなる階調電圧 $V_{n0}$ の出力インピーダンス( $4R$ )を、このボルテージホロワ回路102から電流を供給することができるので、ほぼ0にまで下げることができる。

【0051】このときの出力インピーダンスの最高値は、階調基準電圧 $V_n$ 、階調基準電圧 $V_{n-1}$ あるいはボルテージホロワ回路102の中間となる階調電圧を出力するときであり、この階調電圧は図1から明らかなように $V_{n2}$ と $V_{n6}$ であり、このときの出力インピーダンスは分割抵抗2個分すなわち $2R$ となり、従来の直列抵抗分割回路101の出力インピーダンスの半分となる。

【0052】このため、従来と同じ出力インピーダンスである $4R$ となるように分割抵抗105~112の抵抗値を $2R$ にすることが可能となり、分割抵抗105~112の各抵抗値を従来の2倍である $2R$ に設定することができる。

【0053】このときの出力インピーダンスは従来のドレイン駆動回路と同じ $4R$ となるが、定常的に電力を消費している直列抵抗分割回路101の抵抗値は2倍となっているので、ドレイン駆動回路の消費電力を従来の $1/2$ に低減することができる。

【0054】したがって、液晶表示装置に前記ドレイン駆動回路を用いることにより、消費電力の小さい液晶表示装置を提供できる。

【0055】(実施例2)図2は、本発明の実施例2のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略構成を示す回路図であり、特に、128階調分の電圧を生成する階調電圧生成回路を示す。

【0056】図2において、201~203はオペアンプによるボルテージホロワ回路1~3、204~223は抵抗を示し、特に、208~223は分割抵抗を示す。

【0057】オペアンプによるボルテージホロワ回路1~3(201~203)は、周知の電圧利得1の非反転増幅器であり、インピーダンス変換器やバッファとして広く用いられている。

10

20

30

40

50

【0058】抵抗204～207の抵抗値はすべて同じであり、この抵抗204～207は階調基準電圧 $V_n$ と階調基準電圧 $V_{n-1}$ との電位差 $V_n(n-1)$ をボルテージホロワ回路1～3(201～203)が挿入されている位置の階調電圧 $V_{n4}$ 、 $V_{n8}$ 、 $V_{n12}$ に分圧するための分圧抵抗である。

【0059】分割抵抗208～223は、階調基準電圧 $V_n$ と階調基準電圧 $V_{n-1}$ との電位差 $V_n(n-1)$ を16階調の階調電圧 $V_{n0}$ から $V_{n16}$ (ただし、 $V_{n0}=V(n-1)16$ )に分圧するための抵抗であり、各分割抵抗の抵抗値は $R$ である。

【0060】次に、図2に基づいて実施例2の1階調基準電圧分の直列抵抗分割回路の動作を説明すると、本実施例の直列抵抗分割回路101の出力インピーダンス、すなわち、ドレイン駆動回路の出力インピーダンスが一番高くなるのは、基準電圧間を分割する分割抵抗の中間点であるが、直列抵抗分割回路101の階調電圧 $V_{n4}$ 、 $V_{n8}$ 、 $V_{n12}$ にはボルテージホロワ回路1～3(201～203)が接続されているので、電流供給源となる。

【0061】したがって、直列抵抗分割回路101の出力インピーダンスが一番高くなるのは階調電圧 $V_{n2}$ 、 $V_{n6}$ 、 $V_{n10}$ 、 $V_{n14}$ の時であり、このときの出力インピーダンスは、分割抵抗が2個分となるので $2R$ である。

【0062】この出力インピーダンスは、図6に示す従来のドレイン駆動回路の出力インピーダンス $4R$ の $1/2$ の抵抗値であり、たとえば、本実施例2の分割抵抗208～223の各抵抗値を2倍の $2R$ にした場合であっても、本実施例のドレイン駆動回路の出力インピーダンスは $2 \times 2R = 4R$ となり、従来のドレイン駆動回路と同じ値となる。

【0063】このときの直列抵抗分割回路101の全抵抗は、 $2R \times 16 \times 8 = 4 \times R \times 64 = 256R$ となり、ドレイン駆動回路の出力インピーダンスは従来と同じ $4R$ のままで、全抵抗を4倍に設定できるので、ドレイン駆動回路の消費電力を大幅に低減することができる。

【0064】以上説明したように、本実施例2によれば、直列抵抗分割回路101の分割抵抗が4個に対して、オペアンプによるボルテージホロワ回路201～203を1個入れることにより、このボルテージホロワ回路201～203から前記直列抵抗分割回路101の抵抗に電流を供給することができるので、ドレイン駆動回路の出力インピーダンスを低減することができる。

【0065】この結果、従来のドレイン駆動回路と同じ、あるいは、小さい出力インピーダンスのままで、消費電力を低減できるとともに、たとえば、隣接するドレイン駆動素子のうち、特定の素子の出力がすべて同じ出力電圧となり、この素子の隣の素子の出力のうち少数の

出力の出力電圧が前記素子と同じ出力電圧となった場合に、1個のドレイン駆動素子すべてが同じ出力電圧を出力した場合の電圧値と少数の出力が前記電圧値を選択した場合とでは、出力インピーダンス(出力の駆動能力)の違いから、出力電圧値に僅かながら差ができ、その結果が表示画面上での輝度むらとなって表れることを抑えることができる。

【0066】したがって、本実施例2の階調電圧生成回路を使用することにより、高画質で低消費電力の液晶表示装置を構成することができる。

【0067】(実施例3)図3は、本発明の実施例3のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略構成を示す回路図であり、図4は液晶層に印加する電圧と透過率との関係を示す図である。

【0068】図4に示すように、一般的に液晶層に印加する電圧と透過率との関係はリニアではなく、透過率の高いところおよび低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となるところでは透過率の変化が大きいの。

【0069】このため、たとえば、64階調の多色表示が可能な液晶表示装置において、64階調をリニアに表示するためには、ドレイン駆動回路の階調電圧生成回路に与える階調基準電圧値は、等間隔ではなく、中間調付近で差が小さく、それ以外で大きくしなければならない。

【0070】したがって、ドレイン駆動回路の階調電圧生成回路に図7に示す各分割抵抗105～112の抵抗値がそれぞれ $R$ であり、分割抵抗の総和が $8R$ となる直列抵抗分割回路101を8回路用いた階調電圧生成回路に、前記したような等間隔ではない階調基準電圧を印加すると、各階調基準電圧間に直流(DC)電流が流れ、消費電力が増大する。

【0071】前記図7に示す従来の階調電圧生成回路において、たとえば、階調基準電圧 $V_0-V_1$ 間、 $V_1-V_2$ 間、 $V_6-V_7$ 間、 $V_7-V_8$ 間の階調基準電圧差が、階調基準電圧 $V_2-V_3$ 間、 $V_3-V_4$ 間、 $V_4-V_5$ 間、 $V_5-V_6$ 間の階調基準電圧差の2倍に、また、直列抵抗分割回路101の分割抵抗105～112の抵抗値 $R$ が $R=12.5\Omega$ ( $8 \times R=100\Omega$ )に設定する。

【0072】この結果、直列抵抗分割回路101の階調基準電圧 $V_6$ 、 $V_7$ の階調基準電圧間、および、階調基準電圧 $V_1$ 、 $V_2$ の階調基準電圧間を流れる電流値は、 $10\text{mA}$ ( $1.0\text{V}/100\Omega=10\text{mA}$ )であるのに対して、直列抵抗分割回路101の階調基準電圧 $V_5$ 、 $V_6$ 、および、階調基準電圧 $V_2$ 、 $V_3$ の階調基準電圧間を流れる電流値は、 $5\text{mA}$ ( $0.5\text{V}/100\Omega=5\text{mA}$ )である。

【0073】そのため、階調基準電圧差が不連続となる

10

20

30

40

50

直列抵抗分割回路101の階調基準電圧V6の印加端子、および、階調基準電圧V2の印加端子から電流が流入・流出し、消費電力が増大する。

【0074】また、1つのドレイン駆動回路内で同一階調電圧を出力するドレイン信号線の本数が増えると、階調基準電圧生成回路の階調電圧の電圧変動が大きくなり、特に、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、表示画面上で輝度むら（輝度差）が発生する。

【0075】この問題を解決するために、本実施例3の階調電圧生成回路では、入力される階調基準電圧を図4に示すように、階調基準電圧の値を、等間隔ではなく、中間調付近では電圧差が小さく、それ以外では電圧差が大きくなるように設定している。

【0076】すなわち、階調電圧生成回路に供給される9値の階調基準電圧（V0-V8）の階調基準電圧Vnと階調基準電圧Vn-1（n=1~8）との電圧差をVn（n-1）と表記し、1階調基準電圧分の直列抵抗分割回路101の抵抗値の総和をRnと表記すると、本実施例3の階調電圧生成回路では、R8：R7：R6：R5：R4：R3：R2：R1=V87：V76：V65：V54：V43：V32：V21：V10としている。

【0077】直列抵抗分割回路101を流れる電流は、一定の電流値（Vn（n-1）/Rn=一定の電流値より）となるので、本実施例3の階調電圧生成回路では最大の階調基準電圧と最小の階調基準電圧とが印加される直列抵抗分割回路101の階調基準電圧（V0およびV8）の印加端子以外からの電流値はほとんど「0」となり、ドレイン駆動回路の消費電力を低減できる。

【0078】さらには、本実施例3の直列抵抗分割回路101では、図3に示すように、直列抵抗分割回路101の分割抵抗301~308の間である分割抵抗304と分割抵抗305との間にオペアンプによるボルテージホロワ回路102を挿入することにより、このボルテージホロワ回路102から液晶層に印加する電圧（液晶層を充放電するための電流）を供給できるので、出力インピーダンスを大きくすることなく分割抵抗301~308を大きい抵抗値にすることができる。

【0079】たとえば、実施例1に示すように、各抵抗値を大きく設定することにより、さらに電流値を低減できる。

【0080】したがって、本実施例3の階調電圧生成回路を使用することにより、低消費電力の液晶表示装置を構成することができる。

【0081】また、1つのドレイン駆動回路内で同一階調電圧を出力するドレイン信号線の本数が増えた場合の、階調基準電圧生成回路の階調電圧の電圧変動幅を小さくできるので、特に、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分で発生する、表示

画面上での輝度むら（輝度差）を防止できる。

【0082】なお、本実施例3の階調電圧生成回路では、直列抵抗分割回路101の各階調基準電圧印加端子間の抵抗値を、各階調基準電圧間の電位差に完全に比例した抵抗値としているが、完全に比例していなくても、同様な効果を有することは言うまでもない。

【0083】なお、前記各実施例では、液晶表示装置に本発明を適用した場合について説明したが、これに限定されず、本発明は、液晶表示モジュール等のすべての液晶表示装置に適用できることは言うまでもない。

【0084】また、前記各実施例では、オペアンプによるボルテージホロワ回路の挿入位置を、直列抵抗分割回路の抵抗4個に対してボルテージホロワ回路が1個挿入される場合について説明したが、これに限定されず、直列抵抗分割回路が抵抗2個以上複数個に1個のボルテージホロワ回路を挿入可能なことは言うまでもない。

【0085】ただし、ボルテージホロワ回路の挿入による出力インピーダンスの低減によるドレイン駆動回路の低消費電力化と、ボルテージホロワ回路およびボルテージホロワ回路の基準電圧を設定するための抵抗による消費電力の増加分を考慮すると、直列抵抗が4~8個に対して、ボルテージホロワ回路を1個挿入することが望ましい。

【0086】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0087】

30 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0088】（1）出力インピーダンスを増加させることなく、個々の分割抵抗の抵抗値を増加させ、直列抵抗分割回路の総抵抗値を大きくできるので、ドレイン駆動回路の消費電力を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の実施例1のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略回路構成を示す回路図である。

【図2】本発明の実施例2のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略回路構成を示す回路図である。

【図3】本発明の実施例3のドレイン駆動回路の1階調基準電圧分の階調電圧生成回路である直列抵抗分割回路および選択回路の概略回路構成を示す回路図である。

【図4】液晶層に印加する電圧と透過率との関係を示すグラフである。

【図5】従来のTFT液晶表示装置の概略構成を示すブロック図である。

11

【図6】図5に示す液晶表示装置におけるドレイン駆動回路の階調電圧生成回路の概略構成を示す回路図である。

【図7】図6に示す階調電圧生成回路の1階調基準電圧分の直列抵抗分割回路および選択回路の概略構成を示す回路図である。

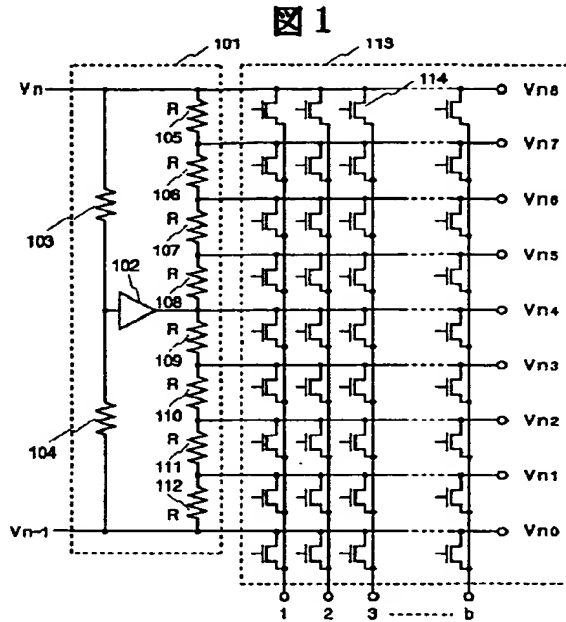
【符号の説明】

101, 605…直列抵抗分割回路、102, 201～\*

12

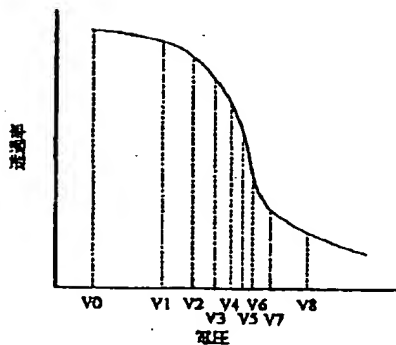
\* 203…オペアンプによるボルテージホロウ回路、103～112…抵抗、113…選択回路、114…MOSトランジスタ、204～207…分圧抵抗、208～223…分割抵抗、601…表示制御装置、602…ドレイン駆動回路、603…ゲート駆動回路、604…内部電源回路、606…階調電圧生成回路、TFT-LCD…液晶表示パネル、TFT…薄膜トランジスタ。

【図1】

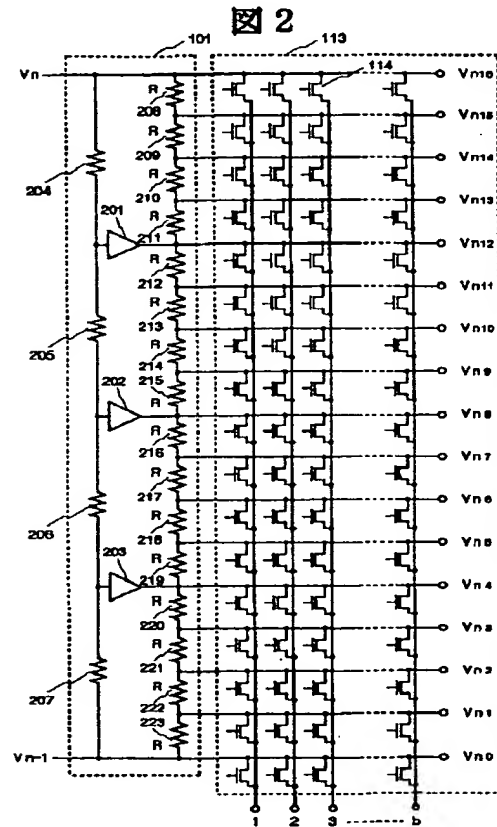


【図4】

図4



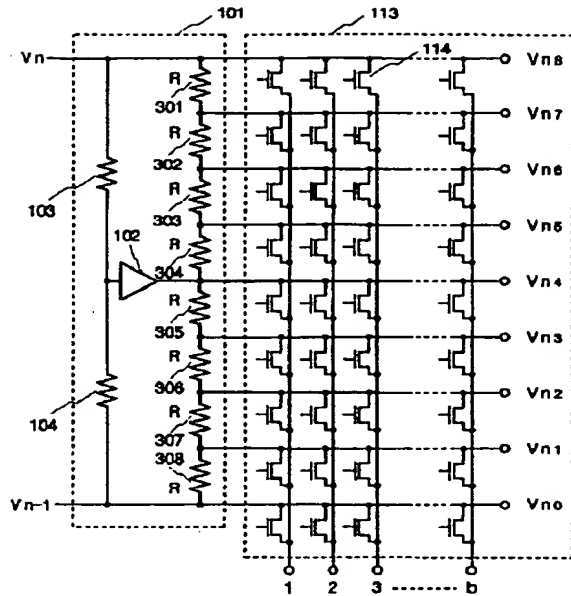
【図2】





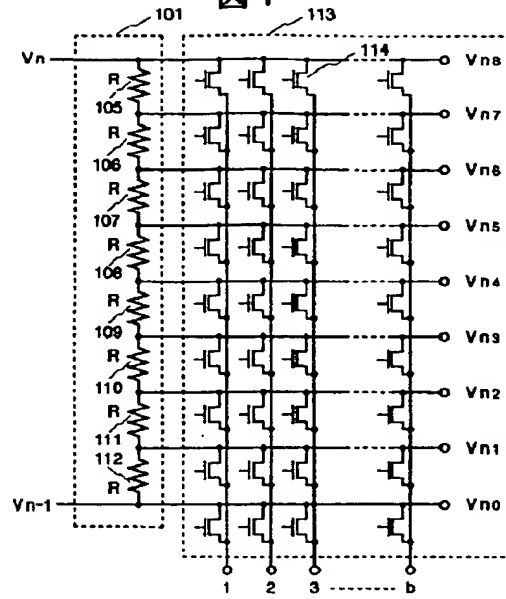
【図3】

図3



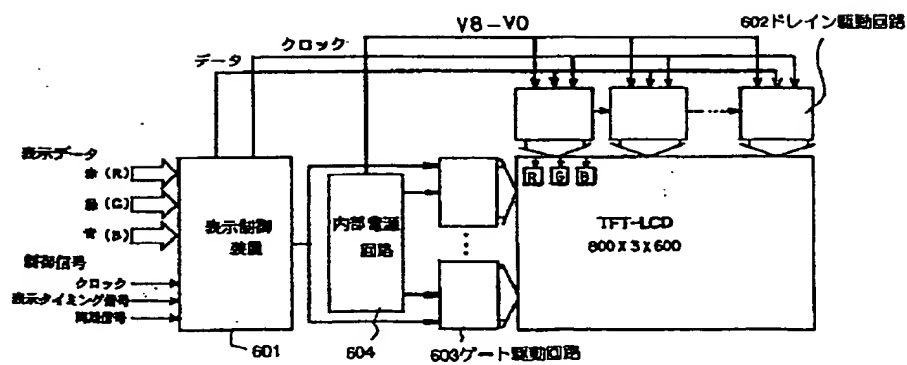
【図7】

図7

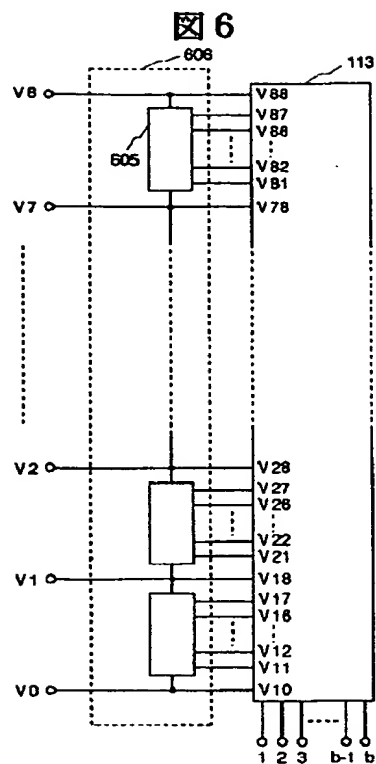


【図5】

図5



【図6】



フロントページの続き

(72)発明者 三島 康之  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所電子デバイス事業部内